

**ВОЗМОЖНАЯ СТРУКТУРНАЯ ОРГАНИЗАЦИЯ И ОЦЕНКА
ПРОИЗВОДИТЕЛЬНОСТИ РЕКОНФИГУРИРУЕМЫХ
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ НА ОСНОВЕ ОБЩЕЙ ШИНЫ**

А. И. Мартышкин

**POSSIBLE STRUCTURAL ORGANIZATION
AND PERFORMANCE EVALUATION OF RECONFIGURABLE
COMPUTING SYSTEMS BASED ON A COMMON BUS**

A. I. Martyshkin

Аннотация. Актуальность и цели. Современная технология оказала колоссальное влияние на структурную организацию реконфигурируемых вычислительных систем (в том числе и многопроцессорных). Переход от классической организации систем с разделяемой памятью к структурам с локальной памятью резко уменьшает интенсивность потока запросов к памяти и позволяет понизить требования к пропускной способности коммуникационной сети связи. Такой подход оказался плодотворным для реконфигурируемых систем с общей шиной, в которых способность к простому наращиванию числа процессоров ограничивается скоростью межпроцессорного обмена. Этим обусловлена актуальность статьи. Цель работы – рассмотрение вариантов возможной структурной организации и оценка производительности реконфигурируемых вычислительных систем на основе общей шины. *Материалы и методы.* Для достижения поставленных целей использованы методы теории массового обслуживания, а именно: разомкнутые сети массового обслуживания, средства, хорошо разработанные и описанные. *Результаты.* Разработаны и предложены выражения для оценки производительности реконфигурируемых вычислительных систем на основе общей шины. *Выводы.* Результатами исследования являются проанализированные варианты структурной организации, а также выражения для оценки производительности реконфигурируемых вычислительных систем.

Ключевые слова: реконфигурируемая вычислительная система, распределенная память, процессор, производительность, вычислительный модуль, конфликтная ситуация, межпроцессорный обмен, моделирование, система массового обслуживания.

Abstract. Background. Modern technology has a tremendous impact on the structural organization of reconfigurable computing systems (including multiprocessors). The transition from the classical organization of systems with shared memory to structures with local memory dramatically reduces the intensity of the flow of requests for memory and allows you to lower the requirements for the capacity of the communication network. This approach proved to be fruitful for reconfigurable systems with a common bus, in which the ability to simply increase the number of processors is limited by the speed of interprocessor exchange. This is due to the relevance of the article. *Materials and methods.* To achieve these goals used methods of theory of mass service, namely: open queueing networks, the tools are well designed and described. *Results.* Expressions have been developed and proposed for evaluating the performance of reconfigurable computing systems based on a common bus. *Conclusions.* The results of the study are analyzed options for structural organization, and expression to evaluate the performance reconfigurable computing.

Key words: reconfigurable computing system, distributed memory, CPU, performance, computing module, conflict situation, inter-processor exchange, modeling, Queuing system.

Введение

Современная технология оказала значительное влияние на структурную организацию многопроцессорных реконфигурируемых систем (МРС). Переход от классической организации многопроцессорных систем (МПС) с общей (разделяемой всеми процессорами) памятью (ОП) к структурам с локальной памятью (ЛП) резко уменьшает интенсивность потока запросов к ОП и позволяет понизить требования к пропускной способности межузловой сети связи. В частности, такой подход оказался плодотворным для МРС с общей шиной (ОШ), в которых способность к простому наращиванию процессоров ограничивается довольно низкой скоростью межпроцессорного обмена.

Постановка задачи

Рассмотрим основные варианты построения вычислительных систем с ОШ и ЛП. По способу организации памяти их можно разделить на структуры с объединенной ОП и ЛП и структуры с физической раздельной ОП и ЛП.

Структура МРС с объединенной ОП и ЛП показана на рис. 1. Система содержит n вычислительных модулей (ВМ), в каждом из которых имеется центральный процессор (ЦП) и ЛП, часть которой выделена под ОП, и коммутатор (К), необходимый для связи между ВМ. Управление ОШ может осуществляться арбитром.

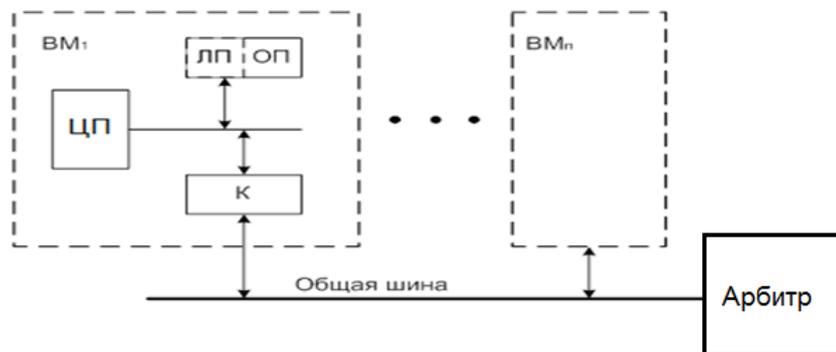


Рис. 1. Структура МРС с объединенной общей и локальной памятью

Известны два способа организации структур с физически раздельной ОП и ЛП. Первый способ – ОП размещена на внутренних шинах ВМ (рис. 2), второй – ОП размещена на ОШ (рис. 3).

Отмеченные способы организации МРС с ОШ различаются быстродействием. Структура, показанная на рис. 2, наиболее быстродействующая, так как в ней минимизированы конфликты, возникающие как в ОШ, так и в ОП. Однако затраты коммутационного оборудования и памяти в такой структуре наибольшие.

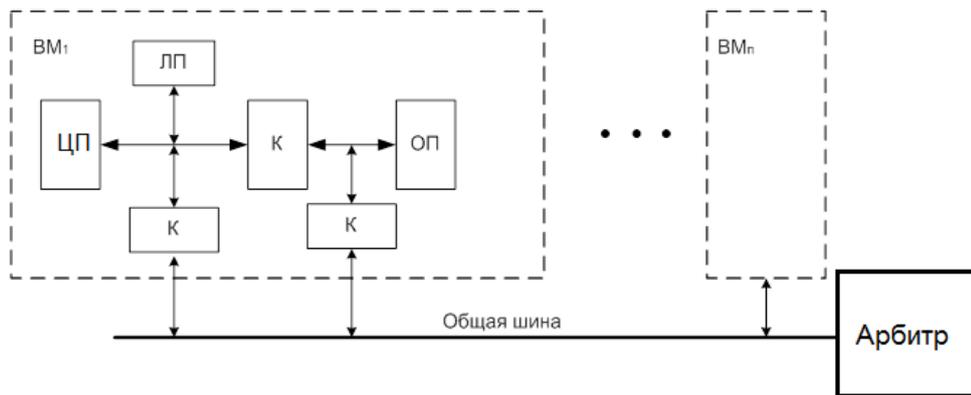


Рис. 2. MPC с общей памятью, размещенной на внутренних шинах VM

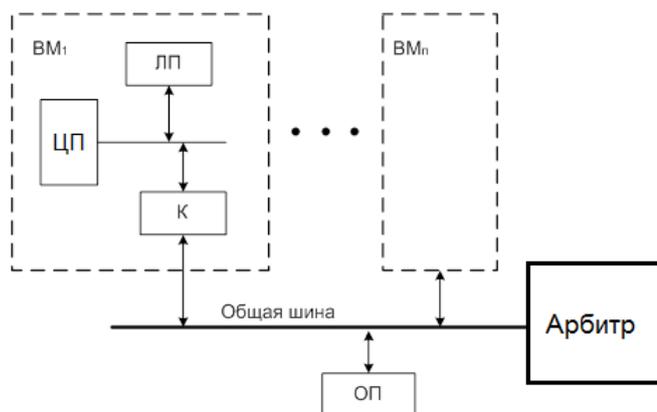


Рис. 3. MPC с общей памятью, размещенной на общей шине

Структура, показанная на рис. 3, имеет низкое быстродействие из-за большого числа конфликтных ситуаций, возникающих в ОП. Аппаратные затраты здесь наименьшие. Структура MPC с объединенной памятью (см. рис. 1) занимает промежуточное положение [1].

Связь между ЦП через ОШ может осуществляться двумя способами, отличающимися пропускной способностью и сложностью реализации: без буферизации и с буферизацией сообщений [2, 3]. В первом случае ОШ предоставляется i -му ЦП на все время выполнения команды обращения к ОП j -го VM. В противном случае ОШ предоставляется на значительно меньший промежуток времени, достаточный для обмена данными между буферными регистрами из состава коммутаторов. Этот способ более быстродействующий, но требует больших аппаратных затрат.

Разнообразие способов построения MPC с ОШ, значительно различающихся по аппаратным затратам и быстродействию, вызывает необходимость поиска оптимальной структуры для решения конкретной задачи. При выборе структуры для специализированных применений часто используется критерий получения заданной производительности при минимальных затратах оборудования. Производительность MPC с ОШ зависит от многочислен-

ных факторов и в том числе от конфликтов, возникающих в общих ресурсах (ОР). Одним из широко применяемых способов определения потерь производительности из-за возникающих конфликтов является аналитическое моделирование, которое при условии получения приемлемой по сложности и точности модели может стать хорошим инструментом на системном этапе проектирования.

Аналитическому моделированию МРС и МПС уделяется большое внимание, но существующие модели в основном предназначены для структур с ОП. При этом конфликты часто рассматриваются либо только в ОП, либо в ОШ [4, 5]. Имеются отдельные работы, где конфликты рассматриваются совместно [6–9]. Исследование структур с ЛП производится обычно без учета межпроцессорного взаимодействия. Для этого модель системы подразделяется на n систем массового обслуживания (СМО) (по числу ЦП в системе). Такое вводимое допущение, хотя и значительно упрощает процесс моделирования, но приводит к большим погрешностям. Особенно это отражается на структурах с ОШ, в которых характеристики вычислительной системы сильно зависят от межпроцессорного обмена.

Рассмотрим подход к моделированию структур с ЛП, основанный на случайных процессах, описываемых разомкнутыми сетевыми моделями массового обслуживания, позволяющих учесть конфликты, возникающие как в памяти, так и в ОШ [4].

Математическая модель структуры МРС с объединенной общей и локальной памятью

МРС состоит из n ЦП, в каждом из которых есть ЛП, часть которой, доступная всем ЦП системы, определена как ОП. При межпроцессорном обмене ЦП запрашивает ОШ, доступ к которой производится с помощью коммутатора. Получив доступ к шине, ЦП-источник выставляет адреса, управляющие сигналы и данные для их записи в область (считывания из области) ОП ЦП-приемника. В течение времени обращения ЦП-приемник находится в режиме блокировки. При связи без буферизации сообщений как на запись, так и на чтение из ОП требуется один цикл ОШ, длительность которого не ограничивается. Завершение цикла производится с получением сигнала об окончании обслуживания. При связи с буферизацией сообщений на запись требуется один цикл, а на чтение – два цикла. ЦП одновременно, в течение цикла шины, потребовавшие доступ к занятой ОШ, переходят в режим ожидания. Все остальные работают автономно.

Для обращения в ЛП используются местные шины ВМ. Если ЦП, обращаясь к ЛП, обнаружит ее занятой со стороны ОШ, то он переходит в режим ожидания до освобождения памяти.

Рассмотрим математическую модель МРС, где для межпроцессорного обмена используется принцип связи без буферизации сообщений. Модель (рис. 4) на первой фазе обслуживания содержит ОШ (узел S_0), на второй – блоки памяти (узлы S_1-S_n) [4]. Все составляющие сеть узлы одноканальные.

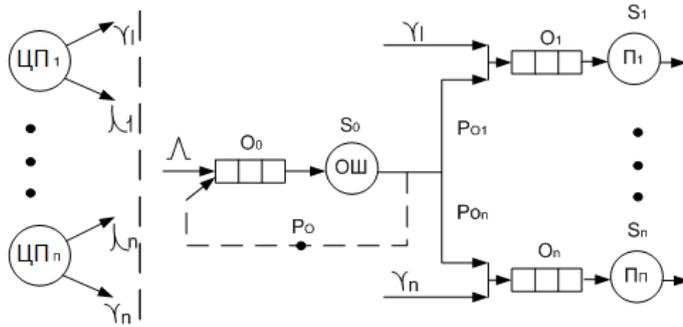


Рис. 4. Модель МРС со связью без буферизации сообщений

ЦП выдают заявки на обслуживание узлом S_0 с интенсивностью $\lambda_i = N_{\text{оп}i}/T$, где $N_{\text{оп}i}$ – число одноадресных команд обращения i -го ЦП в область ОП внешних по отношению к нему ВМ; T – время решения задачи. Заявка, заставшая узел S_0 занятым, становится в очередь. Дисциплина обслуживания на первой фазе – *FIFO*. Интенсивность потока на входе узла S_0 $\Lambda = \sum_{i=1}^n \lambda_i$. Заявка становится в очередь и ожидает до начала обслуживания.

Обслуженная узлом S_0 заявка с вероятностью p_{0j} поступает на обработку в j -й узел, причем $p_{0j} = N_{0j}/N$, где N_{0j} – число одноадресных команд обращения в j -й блок памяти; N – суммарное число команд обращения ко всем блокам памяти.

Интенсивность потока заявок во второй фазе $\alpha_j = p_{0j}\Lambda$, причем заявки из потока α_j поступают на обслуживание с относительным приоритетом. Очередь O_j ($j = \overline{1, n}$) ограничена одним местом.

Поток команд i -го ЦП в i -й блок ЛП представляет собой поток заявок в узел S_i ($i = \overline{1, n}$), поступающий с интенсивностью $\gamma_i = N_{\text{лп}i}/T$, где $N_{\text{лп}i}$ – число одноадресных команд обращения i -го ЦП в ЛП.

Время выполнения команды обращения i -го ЦП к ОП внешнего по отношению к нему ВМ определится как сумма времени выполнения команды t_k без учета конфликтного простоя и времени задержки в сети. Время задержки в сети состоит из времени пребывания $T'_{\text{пр}}$ заявки в первой фазе обслуживания (узел S_0) и времени ожидания $T''_{\text{ож}}$ в очереди во второй фазе (один из узлов $S_1 - S_n$) $t_{\text{оп}i} = t_k + T'_{\text{пр}} + T''_{\text{ож}}$. Время выполнения команды обращения i -го ЦП в ЛП $t_{\text{лп}i} = t_k + \theta_{\text{ож}i}$ где $\theta_{\text{ож}i}$ – время ожидания заявки из потока γ в очереди к узлу S_i ($i = \overline{1, n}$).

Так как узел S_0 представляет собой СМО с одним обслуживающим прибором, то время пребывания заявки в нем составит

$$T'_{\text{ПР}} = \frac{\rho_0}{\Lambda(1-\rho_0)}, \quad (1)$$

где $\rho_0 = \Lambda t_0$ – загрузка узла S_0 (ОШ); t_0 – время обслуживания заявки узлом S_0 . При межпроцессорной связи без буферизации сообщений $t_0 = t_3 + t_{\text{памяти}}$, где t_3 – время занятия ОШ ЦП; $t_{\text{памяти}}$ – цикл памяти.

Так как заявки из потока α обслуживаются с относительным приоритетом по отношению к заявкам из потока γ , время ожидания заявок из потока α во второй фазе равно остаточному времени обслуживания заявок из потока γ :

$$T_{\text{ОЖ}\gamma} = \frac{\gamma_j t_{\text{памяти}}^{(2)}}{2}, \quad (2)$$

где $t_{\text{памяти}}^{(2)}$ – второй момент времени обслуживания блоком памяти.

Учитывая, что t_k и $T'_{\text{ПР}}$ ($T'_{\text{ПР}} = T'_{\text{ОЖ}} + t_3 + t_{\text{памяти}}$) одновременно содержат в себе $t_{\text{памяти}}$, время выполнения операции обмена с ОП определится как

$$t_{\text{ОП}i} = t_k - t_{\text{памяти}} + \frac{\rho_0}{\Lambda(1-\rho_0)} + \frac{\gamma_j t_{\text{памяти}}^{(2)}}{2}. \quad (3)$$

В симметричном случае, когда МРС, состоящая из n ЦП, решает одну задачу, распараллеленную на n идентичных подзадач, то $\lambda_i = \lambda$, $\gamma_i = \gamma$, поэтому

$$t_{\text{ОП}} = t_k - t_{\text{памяти}} + \frac{\rho_0}{\Lambda(1-\rho_0)} + \frac{\gamma t_{\text{памяти}}^{(2)}}{2}. \quad (4)$$

Поток заявок γ имеет более низкий приоритет по отношению к заявкам из потока α . В выражение для вычисления времени ожидания в очереди заявок из этого потока входят две составляющие. Первая – остаточное время обслуживания заявок из потока α ; вторая – время ожидания за счет обслуживания заявок из потока α , поступивших в течение времени ожидания заявок из потока γ :

$$\theta_{oi} = \theta_{oi} + \alpha_i \theta_{\text{ОЖ}i} t_{\text{памяти}}, \quad (5)$$

где θ_{oi} – остаточное время обслуживания заявок из потока α ,

$$\theta_{oi} = \frac{\alpha_i t_{\text{памяти}}^{(2)}}{2}. \quad (6)$$

Подставляя (6) в (5) и решая относительно $\theta_{\text{ОЖ}i}$, получим

$$\theta_{\text{ОЖ}i} = \frac{\alpha_i t_{\text{памяти}}^{(2)}}{2(1-\alpha_i t_{\text{памяти}})}. \quad (7)$$

Время выполнения команды обращения в ЛП определится как

$$t_{\text{ЛП}} = t_k + \frac{\alpha_i t_{\text{памяти}}^{(2)}}{2(1 - \alpha_i t_{\text{памяти}})}. \quad (8)$$

Для симметричного случая

$$t_{\text{ЛП}} = t_k + \frac{\alpha t_{\text{памяти}}^{(2)}}{2(1 - \alpha t_{\text{памяти}})}. \quad (9)$$

МРС, использующая связь с буферизацией, отличается наличием буферных регистров в интерфейсе ОШ-память. Хотя в общем случае буферных регистров (число мест в очереди O_j) может быть K , однако будем рассматривать структуры с одним буферным регистром ($K = 2$), что является наиболее типичным для реально существующих систем. В такой МРС время обслуживания ОШ состоит из времени занятия ОШ и времени обращения к буферному регистру $t_0 = t_z + t_{\text{бр}}$.

Заявка из потока α , застигнувшая узел S_j занятым обслуживанием предыдущей заявки из того же потока, приостанавливается и возвращается в конец очереди S_0 . Обозначим вероятность приостановки узлом S_j через p_{j0} , тогда вероятность приостановки обслуживания, создаваемая узлами $S_1 - S_n$, $p_0 = \sum_{j=1}^n p_{j0}$. Связь, показывающая возможность передачи заявок с выхода на вход узла S_0 при приостановках, изображена на рис. 4 пунктирной линией. Следует отметить и учесть, что суммарный поток заявок в узле S_0 не увеличивается, так как ЦП не выдает следующей заявки, пока предыдущая не будет обслужена. Поэтому дополнительная задержка, связанная с приостановками, может быть определена через вероятность приостановки p_0 и среднее время пребывания заявки в узле S_0 :

$$W = p_0 T'_{\text{ПР}}. \quad (10)$$

Вероятность приостановки p_{j0} есть вероятность того, что одноместная очередь перед узлом S_j занята обслуживанием ранее поступившей заявки из потока α или γ :

$$p_{j0} = \rho_j^2 (1 - \rho_j), \quad (11)$$

где $\rho_j = (\alpha_j + \gamma_j) t_{\text{ЦП}}$.

Тогда

$$p_0 = \sum_{j=1}^n \rho_j^2 (1 - \rho_j). \quad (12)$$

Подставив (12) в (10) и заменив $T'_{\text{ПР}}$ в соответствии с выражением (1), получим

$$W = \frac{\rho_0}{\Lambda(1-\rho_0)} \left[\sum_{j=1}^n \rho_j^2 (1-\rho_j) \right]. \quad (13)$$

Время выполнения операции обмена i -го ЦП с ОП

$$t_{\text{ОП}i} = t_k + T'_{\text{ПР}} + T''_{\text{ОЖ}} + W. \quad (14)$$

Поставив в (14) выражения для $T'_{\text{ПР}}$, $T''_{\text{ОЖ}}$ и W , получим

$$t_{\text{ОП}i} = t_k + \frac{\rho_0}{\Lambda(1-\rho_0)} \left[1 + \sum_{j=1}^n \rho_j^2 (1-\rho_j) \right] + \frac{\gamma_j t_{\text{памяти}}^{(2)}}{2}. \quad (15)$$

Математическая модель структуры с физически раздельной общей и локальной памятью

Рассмотрим вначале структуру, где блоки ОП размещены на внутренних шинах ВМ, а межмодульная связь производится без буферизации. Число конфликтных ситуаций в ОП здесь меньше, чем в структуре с объединенной ОП и ЛП. Это обусловлено тем, что при обращениях i -го ЦП в ЛП не создается помех для заявок, поступивших из других ЦП на обслуживание i -м блоком ОП.

Отличие математической модели такой структуры от вышерассмотренной модели в том, что интенсивность потока γ_i будет определяться только числом команд обращения i -го ЦП к i -му блоку ОП $N_{\text{ОП}i}$, т.е. $\gamma_i = N_{\text{ОП}i} / T$. Если этот поток мал, то конфликтами в ОП можно пренебречь. Тогда модель упрощается и сводится к одноузловой с обслуживающим устройством S_0 . Время выполнения операции обращения к ОП будет состоять из времени t_k и времени ожидания в очереди к узлу S_0 :

$$t_{\text{ОП}i} = t_k - t_{\text{ЦП}} + \frac{\rho_0}{\Lambda(1-\rho_0)}. \quad (16)$$

Время пребывания заявок в узле S_0 в данном случае можно определить более точно (с меньшей погрешностью), используя модель системы типа $M/M/I/n$ с конечным числом источников заявок (ЦП) n . Тогда среднее число заявок в системе

$$L_{\text{ср}} = \frac{\sum_{k=0}^n k \rho^k \frac{n!}{(n-k)!}}{\sum_{k=0}^n \rho^k \frac{n!}{(n-k)!}}. \quad (17)$$

Применяя формулу Литтла [4, 5], получим

$$T'_{\text{ПР}} = \frac{\sum_{k=0}^n k \rho^k \frac{n!}{(n-k)!}}{\lambda \sum_{k=0}^n \rho^k \frac{n!}{(n-k)!}}. \quad (18)$$

Отсюда

$$t_{\text{ОП}} = t_k - t_{\text{памяти}} + \frac{\sum_{k=0}^n k \rho^k \frac{n!}{(n-k)!}}{\lambda \sum_{k=0}^n \rho^k \frac{n!}{(n-k)!}}. \quad (19)$$

В МПС, использующей связь с буферизацией, возможны конфликты как при обращениях к ОШ, так и к ОП. Модель системы аналогична ранее рассмотренной модели с объединенной ОП и ЛП с тем же способом межмодульной связи. Отличие лишь в том, что поток заявок γ_i в i -ю ОП сократится из-за того, что ОП физически отделена от ЛП. Если этим потоком пренебречь (на рис. 4 полностью исключить потоки $\gamma_1 - \gamma_n$), то предлагаемая модель несколько упрощается.

Если общая память размещается на ОШ (см. рис. 3), то исследование такой модели, как правило, сводится к анализу одноканальной СМО.

Производительность МПС определяется способностью алгоритма распараллеливаться. Также на нее влияют управляющие программы, программы межпроцессорного обмена и конфликты, возникающие в ОР. Оценить производительность можно коэффициентом использования производительности i -го ЦП, входящего в состав системы:

$$\eta_i = 1 - (u_i + e_i + \pi_i + k_i), \quad (20)$$

где $u_i = T_{yi} / T_{i\max}$, $e_i = T_{0i} / T_{i\max}$, $\pi_i = T_{ni} / T_{i\max}$, $k_i = T_{\text{КП}i} / T_{i\max}$ – соответственно коэффициенты потерь из-за работы управляющих программ, программ межпроцессорного обмена, последовательных участков программ и конфликтного простоя i -го ЦП; $T_{i\max}$ – время выполнения наиболее длительной программы, обрабатываемой i -м ЦП:

$$T_{i\max} = \max \{ T_{\text{сч}i} + T_{yi} + T_{ni} + T_{0i} + T_{\text{КП}i} \}, \quad (21)$$

где $T_{\text{сч}i}$ – время выполнения программы i -м ЦП без учета непроизводительных затрат.

Производительность МРС можно рассчитать по выражению $P^* = P \sum_{i=1}^n \eta_i$, где P – производительность одного ЦП.

Заключение

Исследована структурная организация и проведена оценка производительности многопроцессорных реконфигурируемых систем на основе общей шины, получены аналитические модели, основанные на разомкнутых сетях массового обслуживания, приведены выражения для оценки производительности многопроцессорных вычислительных систем с общей шиной. Подробно расписаны выражения для расчета моделей реконфигурируемой системы, в которых для межпроцессорного обмена используется принцип связи без

буферизации сообщений. Показанные в работе модели и выражения позволяют производить оценку характеристик системы без построения реальных дорогостоящих функциональных макетов.

Библиографический список

1. Цилькер, Б. Я. Организация ЭВМ и систем / Б. Я. Цилькер, С. А. Орлов. – 2-е изд. – СПб. : Питер, 2011. – 688 с.
2. Мартышкин, А. И. Исследование подсистем памяти с буферизацией транзакций на моделях массового обслуживания / А. И. Мартышкин // XXI век: итоги прошлого и проблемы настоящего плюс. – 2011. – № 3. – С. 124–131.
3. Майоров, С. А. Основы теории вычислительных систем : учеб. пособие / С. А. Майоров, Г. И. Новиков, Т. И. Алиев и др. ; под ред. С. А. Майорова. – М. : Высш. шк., 1978. – 408 с.
4. Клейнрок, Л. Вычислительные системы с очередями / Л. Клейнрок ; пер. с англ. – М. : Мир, 1979. – 600 с.
5. Богуславский, Л. Б. Вероятностные методы и модели управления потоками данных и ресурсами в сетях и многопроцессорных системах : автореф. дис. ... д-ра техн. наук. / Богуславский Л. Б. – М. : Институт проблем управления, 1995. – 38 с.
6. Мартышкин, А. И. К вопросу оценки времени обслуживания транзакций при обмене данными в многопроцессорных системах на основе общей шины с разделяемой памятью / А. И. Мартышкин // Вестник Рязанского государственного радиотехнического университета. – 2016. – № 56. – С. 90–98.
7. Мартышкин, А. И. Разработка и исследование математических моделей подсистемы «процессор-память» многопроцессорных вычислительных систем архитектур NUMA и SUMA на разомкнутых сетях массового обслуживания / А. И. Мартышкин // Вестник Рязанского государственного радиотехнического университета. – 2016. – № 55. – С. 55–63.
8. Martyshkin, A. I. Development and research of open-loop models the subsystem «Processor-memory» of Multiprocessor systems architectures UMA, NUMA and SUMA / A. I. Martyshkin // ARPN Journal of Engineering and Applied Sciences. – 2016. – Vol. 11, № 23. – P. 13526–13535.
9. Алиев, Т. И. Основы моделирования дискретных систем / Т. И. Алиев. – СПб. : СПбГУ ИТМО, 2009. – 363 с.

Мартышкин Алексей Иванович

кандидат технических наук, доцент,
кафедра вычислительных машин и систем,
Пензенский государственный
технологический университет
E-mail: alexey314@yandex.ru

Martyshkin Aleksey Ivanovich

candidate of technical sciences, associate
professor, sub-department of computers and
systems,
Penza State Technological University

УДК 519.872.2, 519.872.5

Мартышкин, А. И.

Возможная структурная организация и оценка производительности реконфигурируемых вычислительных систем на основе общей шины / А. И. Мартышкин // Модели, системы, сети в экономике, технике, природе и обществе. – 2018. – № 1 (25). – С. 141–150.